

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-268162

(43)Date of publication of application : 22.09.1994

(51)Int.Cl.

H01L 27/088

H01L 21/265

H01L 29/784

(21)Application number : 05-055338

(71)Applicant : SUMITOMO METAL IND LTD

(22)Date of filing : 16.03.1993

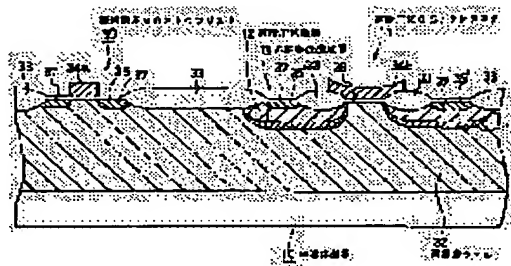
(72)Inventor : HIROTA YOSHIHIRO

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To obtain a semiconductor device wherein an ordinary-breakdown-strength MOS transistor and a high-breakdown-strength MOS transistor which have been made fine are provided without increasing the number of mask working processes by a method wherein a layer whose impurity concentration is effectively low is formed around a high-breakdown-strength diffusion layer.

CONSTITUTION: In a semiconductor device, an ordinary-breakdown-strength MOS transistor 30 and a high-breakdown-strength MOS transistor 11 are formed inside the same well 32 existing near the surface of a semiconductor substrate 10. In the semiconductor device, the well 32 is a heavily-doped diffusion region, and a high-breakdown-strength diffusion layer 12 in which impurities whose conductivity type is opposite to that of impurities in the well 32 and which constitutes one part of the high-breakdown-strength MOS transistor 11 is provided. Then, a layer 13 whose impurity concentration is effectively low is formed around the high-breakdown-strength diffusion layer 12. Thereby, the ordinary-breakdown-strength MOS transistor and the high-breakdown-strength MOS transistor which have been made fine inside the same high-concentration well can be formed without increasing the number of mask working processes and with good productivity.



LEGAL STATUS

[Date of request for examination] 24.05.1999

[Date of sending the examiner's decision of rejection] 13.11.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] it exists near a semi-conductor substrate front face — the same — a well — the semiconductor device with which the proof-pressure MOS transistor and the high proof-pressure MOS transistor were usually formed inside — setting — said well — a high concentration impurity diffusion field — it is — said well — the semiconductor device characterized by having the high proof-pressure diffusion layer which an inner impurity and the impurity of a reverse conductivity type are spread, and constitutes said a part of high proof-pressure MOS transistor, and forming the layer with low high impurity concentration in the perimeter of this high proof-pressure diffusion layer effectually.

[Claim 2] The manufacture approach of the semiconductor device according to claim 1 characterized by including the process which pours the impurity in said high concentration impurity diffusion field, and the impurity of a reverse conductivity type into the process which pours in and diffuses an impurity in a semi-conductor substrate, and forms a high concentration impurity diffusion field, and the predetermined part of this high concentration impurity diffusion field twice with different energy, and forms a layer with low high impurity concentration in a high proof-pressure diffusion layer and its perimeter effectually.

[Translation done.]

THIS PAGE BLANK (USPTO)

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the semiconductor device which operates with two or more kinds of supply voltage in a detail, and its manufacture approach more about a semiconductor device and its manufacture approach.

[0002]

[Description of the Prior Art] Drawing 4 is the typical sectional view showing the semiconductor device which operates with two kinds of supply voltage currently used from the former, and ten show the semi-conductor substrate among drawing. two wells of the high concentration impurity diffusion field (the following and high concentration — it is described as a well) 32 which the impurity diffused in high concentration, and the low concentration impurity diffusion field (the following and low concentration — it is described as a well) 39 which the impurity diffused in low concentration are formed in the semi-conductor substrate 10. and high concentration — to a well 32 side It is the lower part of the gate electrode 34 formed on the thin gate oxide 35 formed on the well 32, the field oxide 33 connected and formed in the both ends of thin gate oxide 35, and thin gate oxide 35, and thin gate oxide 35. high concentration — it forms in the field except the lower part of the gate electrode 34 — having — high concentration — the impurity of a well 32 and a reverse conductivity type consisted of high concentration diffusion layers 37 diffused in high concentration — proof-pressure MOS transistor 30 is usually formed.

[0003] on the other hand — low concentration — a well 39 side — low concentration — thin oxide-film 35' formed in right and left of the thick gate oxide 36 formed in the abbreviation center section on a well 39, and thick gate oxide 36 on both sides of field oxide 33 in the active region (the source or drain field) — It is formed in the perimeter of the gate electrode 34 formed on field oxide 33 from thick gate oxide 36, having covered, the high concentration diffusion layer 37 formed under thin oxide-film 35', and the high concentration diffusion layer 37. High proof-pressure MOS transistor 31 which consisted of high proof-pressure diffusion layers 38 which the impurity of the same conductivity type as the high concentration diffusion layer 37 diffused in low concentration is formed, and this high proof-pressure MOS transistor 31 operates with high supply voltage.

[0004] the case where the semiconductor device which has MOS transistors 30 and 31 which operate with said two kinds of supply voltage carried out is formed — the beginning — the semi-conductor substrate 10 — two kinds of different masks — using — two steps — high concentration — a well 32 and low concentration — the well 39 is formed.

[0005]

[Problem(s) to be Solved by the Invention] thus, the high concentration from which concentration differs over two steps using a different mask of two kinds of introduction to a different field in order to form the semiconductor device which operates with two kinds of supply voltage by the above-mentioned approach — a well 32 and low concentration — in order to have to form a well 39, the technical problem that the man day of a mask work increased occurred.

[0006] in order to, avoid increase of the man day of such a mask work on the other hand — near the front face of a semi-conductor substrate — low concentration — a well — forming — this low concentration — a well — although how to usually form two kinds of MOS transistors, a proof-pressure MOS transistor and a high proof-pressure MOS transistor, inside was also considered, in order usually to have to enlarge channel area in a proof-pressure MOS transistor in this case, the magnitude more than predetermined was needed, and the technical problem that a limitation was in that detailed-ization occurred.

[0007] It aims at offering the semiconductor device which usually has the pressure-proof MOS transistor and the MOS transistor of high pressure-proofing which were moreover made detailed, and its manufacture approach, without making this invention in view of such a technical problem, and increasing the man day of a mask work.

[0008]

[Means for Solving the Problem] The semiconductor device applied to this invention in order to attain the above-mentioned purpose In the semiconductor device with which the proof-pressure MOS transistor and the high proof-pressure MOS transistor were usually formed inside it exists near a semi-conductor substrate front face — the same — a well — It has the high proof-pressure diffusion layer which an inner impurity and the impurity of a reverse conductivity type are spread, and constitutes said a part of high proof-pressure MOS transistor. said well — a high concentration impurity diffusion field — it is — said well — It is characterized by forming the layer with low high impurity concentration in the perimeter of this high proof-pressure diffusion layer effectually.

THIS PAGE BLANK (USPTO)

[0009] Moreover, the manufacture approach of the semiconductor device the above-mentioned publication concerning this invention An impurity is poured in and diffused in a semi-conductor substrate. A high concentration impurity diffusion field An inner impurity and the impurity of a reverse conductivity type are twice poured in with different energy. (— the following and high concentration — it is called a well —) — the process to form and this high concentration — the predetermined part of a well — said high concentration — a well — It is characterized by including the process which forms a layer with low high impurity concentration (it is hereafter described as an impurity low concentration layer) in a high proof-pressure diffusion layer and its perimeter effectually.

[0010]

[Function] the same, since according to the above-mentioned semiconductor device the low layer (impurity low concentration layer) is locally formed in the perimeter of the high proof-pressure diffusion layer which constitutes a high proof-pressure MOS transistor for the high impurity concentration of a well effectually, said impurity low concentration layer will turn into a depletion layer if an electrical potential difference is impressed, and pressure-proofing of a high proof-pressure MOS transistor becomes high enough — a well — it was made detailed inside — formation of a proof-pressure MOS transistor and a high proof-pressure MOS transistor is usually attained.

[0011] moreover, the same [without according to the manufacture approach of the semiconductor device the above-mentioned publication, being able to use only one kind of mask for forming a well, being able to perform impregnation of the impurity for forming said impurity low concentration layer, using the mask installed in order to form said high proof-pressure diffusion layer as it is, and increasing the man day of a mask work] — a well — it was made detailed inside — a proof-pressure MOS transistor and a high proof-pressure MOS transistor are usually formed.

[0012]

[Example] Hereafter, the example about the semiconductor device concerning this invention and its manufacture approach is explained based on a drawing. In addition, suppose that the same sign is given to the component part which has the same function as the conventional example.

[0013] Drawing 1 is the sectional view having shown the semiconductor device concerning an example typically, and ten show the semi-conductor substrate among drawing. near the front face of the semi-conductor substrate 10 — high concentration — only a well 32 forms — having — this high concentration — proof-pressure MOS transistor 30 and high proof-pressure MOS transistor 11 are usually formed in the well 32.

[0014] usually, proof-pressure MOS transistor 30 — high concentration — it is the lower part of gate electrode 34a formed on the thin gate oxide 35 formed on the well 32, the field oxide 33 connected and formed in the both ends of thin gate oxide 35, and thin gate oxide 35, and thin gate oxide 35, and forms in the field except the lower part of the gate electrode 34 — having — high concentration — it consists of high concentration diffusion layers 37 which the impurity of a well 32 and a reverse conductivity type diffused.

[0015] On the other hand, high proof-pressure MOS transistor 11 separates field oxide 33 with usually wide proof-pressure MOS transistor 30 and width of face, and is constituted as following. Namely, high proof-pressure MOS transistor 11 is the abbreviation center section of the formation field of high proof-pressure MOS transistor 11. high concentration — the thick gate oxide 36 formed on the well 32, and thin oxide-film 35 formed in right and left of this thick gate oxide 36 on both sides of field oxide 33 in active region (source or drain field)' — Gate electrode 34b formed on field oxide 33 from thick gate oxide 36, having applied, It is formed in the high concentration diffusion layer 37 formed under thin oxide-film 35', and the perimeter of the bottom of this high concentration diffusion layer 37. The impurity of the same conductivity type as the high concentration diffusion layer 37 is constituted by the effective target locally formed in the perimeter of the bottom of the high proof-pressure diffusion layer 12 diffused in low concentration, and the high proof-pressure diffusion layer 12 including the impurity low concentration layer 13 with low high impurity concentration.

[0016] Thus, withstand voltage can rise and the function as a high proof-pressure MOS transistor can be made to fully achieve, when the impurity low concentration layer 13 exists in the perimeter of the bottom of the high proof-pressure diffusion layer 12 locally.

[0017] Next, the manufacture approach of the semiconductor device concerning the example of the above-mentioned configuration is explained based on a drawing. Drawing 2 (a) - (e) is the sectional view showing the production process of the semiconductor device concerning an example typically.

[0018] First, near the front face of the n-type-semiconductor substrate 10 which consists of silicon of 4-8ohms of specific resistance cm p mold dopants, such as B (boron), are poured in by about [$8.0 \times 10^{12} \text{cm}^{-3}$] two consistency. p mold high concentration whose depth elevated-temperature diffusion process is performed and is about 3.5 micrometers by heat-treating at about 1200 degrees C after that — a well 32 is formed, further, thermal oxidation processing is performed to substrate 10 front face, and the thin thermal oxidation film 14 is formed in it (drawing 2 (a)).

[0019] Next, n mold dopants, such as P (Lynn), are alternatively injected into the part which covers with a photoresist 15 by the photolithography except for the field which forms the high proof-pressure diffusion layer 12, and is not covered with a photoresist 15 by the energy of 180keV(s), and about [$1.0 \times 10^{13} \text{cm}^{-3}$] two consistency, and the high proof-pressure diffusion layer 12 is formed (drawing 2 (b)).

[0020] As furthermore shown in drawing 2 (c), using the same photoresist 15, as compared with 800keV extent and a last process, further, n mold dopants, such as P, are poured in and high impurity concentration forms the low layer (impurity low concentration layer) 13 in the perimeter of the high proof-pressure diffusion layer 12 effectually by high energy and about [$3 \times 10^{12} \text{cm}^{-3}$] two consistency.

THIS PAGE BLANK (USPTO)

[0021] Next, after removing a photoresist 15, wet oxidation treatment by the selective oxidation method is performed to the semi-conductor substrate 10 at 1000 degrees C, field oxide 33 is grown up into the thickness of about 6000Å, and gate oxide 35 thin after that, thin oxide-film 35', and thick gate oxide 36 are grown up. The heat-treatment in said 1000 degrees C selective oxidation serves also as diffusion of the high proof-pressure diffusion layer 12 or the impurity low concentration layer 13, and the impurity low concentration layer 13 is locally formed in the perimeter of the bottom of the high proof-pressure diffusion layer 12 of this heat treatment (drawing 2 (d)).

[0022] Next, the gate electrodes 34a and 34b are formed on the thin gate oxide 35 formed at said process, and thick gate oxide 36, this gate electrodes 34a and 34b and field oxide 33 are used as a mask, n mold dopants, such as As (arsenic), are poured in by the energy of 80keV extent, and about $[5.0 \times 10^{15} \text{cm}^{-2}]$ two consistency, and the high concentration diffusion layer 37 is formed (drawing 2 (e)).

[0023] high proof-pressure MOS transistor 11 which operates with two kinds of supply voltage according to the above-mentioned process — usually — proof-pressure MOS transistor 30 — the same high concentration — it can form in a well 32, and while becoming possible to usually attain detailed-ization of proof-pressure MOS transistor 30 moreover, the high pressure resistance of high proof-pressure MOS transistor 11 is securable.

[0024] Drawing 3 is the graph which showed the relation of the depth direction from a semi-conductor substrate front face and high impurity concentration in the following part of the conventional semiconductor device shown in the semiconductor device and drawing 4 of the example shown in drawing 1. The part in which the high concentration diffusion layer 37 of high proof-pressure MOS transistor [in / in A / an example] 11 exists, the part [in / in B / an example] in which the high concentration diffusion layer 37 of proof-pressure MOS transistor 30 usually exists, and C show the value in the part which exists the high concentration diffusion layer 37 of high proof-pressure MOS transistor 31 in said conventional semiconductor device, respectively.

[0025] the high concentration from the high proof-pressure diffusion layer 12 below the high concentration diffusion layer 37 of A — the profile of high impurity concentration which results in a well 32 — the perimeter of the high proof-pressure diffusion layer 38 (drawing 4) — low concentration — the part (impurity low concentration layer 13) to which high impurity concentration is low [1 or more figures] compared with the profile of the high impurity concentration of C which is not pouring in the ion of a well 39 and a reverse conductivity type — existing — more — high — it turns out that MOS transistor [****] 11 is formed.

[0026] When pressure-proofing of high proof-pressure MOS transistor 11 concerning an example was actually measured, it became more than 80V and it was proved that the MOS transistor of high pressure-proofing is formed.

[0027] the semiconductor device of this invention — setting — said semi-conductor substrate — n mold or p mold — which — ***** — said high concentration — a well is the semi-conductor of n mold which the impurity of said semi-conductor substrate and reverse conductivity type diffused, or p mold. moreover, said high concentration — the impurity low concentration layer which about $[5 \times 10^{16} \text{ to } 1 \times 10^{17} \text{cm}^{-2}]$ three were desirable as for the high impurity concentration of a well, and was formed in the perimeter of said high proof-pressure diffusion layer — about $[1 \times 10^{15} \text{ to } 5 \times 10^{15} \text{cm}^{-2}]$ 3, and said high concentration — it is desirable that it is concentration lower figures about double [1-] than a well.

[0028] moreover, the manufacture approach of the semiconductor device the above-mentioned publication — setting — said high concentration — the predetermined part of a well — said high concentration — a well, in case an inner impurity and the impurity of a reverse conductivity type are twice poured in with different energy It is desirable to pour in by the consistency which are the energy the 1st time of whose is 150 – 180keV extent, and about $[1 \times 10^{12} \text{ to } 3 \times 10^{12} \text{cm}^{-2}]$ 2, and, as for the 2nd time, it is desirable to pour in by the energy of 700 – 900keV extent and about $[2 \times 10^{13} \text{ to } 3 \times 10^{13} \text{cm}^{-2}]$ two consistency.

[0029]

[Effect of the Invention] If it is in the semiconductor device concerning this invention as explained in full detail above In the semiconductor device with which the proof-pressure MOS transistor and the high proof-pressure MOS transistor were usually formed inside it exists near a semi-conductor substrate front face — the same — a well — It has the high proof-pressure diffusion layer which an inner impurity and the impurity of a reverse conductivity type are spread, and constitutes said a part of high proof-pressure MOS transistor. said well — a high concentration impurity diffusion field — it is — said well — the layer with low high impurity concentration is effectually formed in the perimeter of this high proof-pressure diffusion layer, and pressure-proofing of a high proof-pressure MOS transistor becomes high enough, and the same — a well — the semiconductor device which was made detailed inside and with which the proof-pressure MOS transistor and the high proof-pressure MOS transistor were usually formed can be offered.

[0030] Moreover, if it is in the manufacture approach of the semi-conductor said publication a semi-conductor substrate — an impurity — pouring in — being spread — high concentration — the process which forms a well — An inner impurity and the impurity of a reverse conductivity type are twice poured in with different energy. and this high concentration — the predetermined part of a well — said high concentration — a well — productivity is good and the same [without including the process which forms an impurity low concentration layer in a high proof-pressure diffusion layer and its perimeter, and increasing the man day of a mask work,] — a well — it was made detailed inside — a proof-pressure MOS transistor and a high proof-pressure MOS transistor can usually be formed.

[Translation done.]

THIS PAGE BLANK (USPTO)

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the sectional view showing the semiconductor device of this invention concerning an example typically.

[1 of drawing 2] It reaches.

[2 of drawing 2] (a) - (e) is the sectional view showing the production process of the semiconductor device concerning an example typically.

[Drawing 3] It is the graph which shows the high impurity concentration to the depth direction from the semiconductor substrate front face in the predetermined part of the conventional semiconductor device shown in the semiconductor device and drawing 3 of the example shown in drawing 1 .

[Drawing 4] It is the typical sectional view showing the conventional semiconductor device.

[Description of Notations]

- 10 Semi-conductor Substrate
- 11 High Proof-Pressure MOS Transistor
- 12 High Proof-Pressure Diffusion Layer
- 13 Impurity Low Concentration Layer
- 30 Usually, Proof-Pressure MOS Transistor
- 32 High Concentration — Well
- 33 Field Oxide
- 34, 34a, 34b Gate electrode
- 35 Gate Oxide
- 35' Thin oxide film
- 36 Thick Gate Oxide
- 37 High Concentration Diffusion Layer
- 38 High Proof-Pressure Diffusion Layer
- 39 Low Concentration — Well

[Translation done.]

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-268162

(43)公開日 平成 6年(1994) 9月22日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/088
21/265
29/784

9170-4M

H 0 1 L 27/ 08

1 0 2 A

8617-4M

21/ 265

W

審査請求 未請求 請求項の数 2 O L (全 6 頁) 最終頁に続く

(21)出願番号 特願平5-55338

(22)出願日 平成 5年(1993) 3月16日

(71)出願人 000002118

住友金属工業株式会社

大阪府大阪市中央区北浜 4丁目 5番33号

(72)発明者 廣田 良浩

大阪府大阪市中央区北浜 4丁目 5番33号

住友金属工業株式会社内

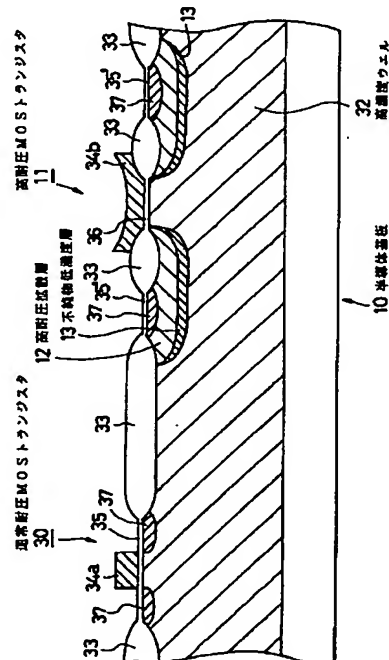
(74)代理人 弁理士 井内 龍二

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【構成】 半導体基板 10 表面付近に存在する同一ウェル 32 内に通常耐圧 MOS トランジスタ 30 と高耐圧 MOS トランジスタ 11 とが形成された半導体装置において、ウェル 32 は高濃度不純物拡散領域であって、ウェル 32 中の不純物と逆導電型の不純物が拡散されて高耐圧 MOS トランジスタ 11 の一部を構成する高耐圧拡散層 12 を備え、高耐圧拡散層 12 の周囲に実効的に不純物濃度の低い層 13 が形成されている半導体装置。

【効果】 マスクワークの工数を増大させず、生産性よく、同一の高濃度ウェル 32 内に微細化された通常耐圧 MOS トランジスタ 30 と高耐圧 MOS トランジスタ 11 とが形成された半導体装置を提供することができる。



【特許請求の範囲】

【請求項1】 半導体基板表面付近に存在する同一ウェル内に通常耐圧MOSトランジスタと高耐圧MOSトランジスタとが形成された半導体装置において、前記ウェルは高濃度不純物拡散領域であって、前記ウェル中の不純物と逆導電型の不純物が拡散されて前記高耐圧MOSトランジスタの一部を構成する高耐圧拡散層を備え、該高耐圧拡散層の周囲に実効的に不純物濃度の低い層が形成されていることを特徴とする半導体装置。

【請求項2】 半導体基板に不純物を注入し拡散して高濃度不純物拡散領域を形成する工程、及び該高濃度不純物拡散領域の所定箇所に前記高濃度不純物拡散領域中の不純物と逆導電型の不純物を異なるエネルギーで2度注入し、高耐圧拡散層及びその周囲に実効的に不純物濃度の低い層を形成する工程を含むことを特徴とする請求項1記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体装置及びその製造方法に関し、より詳細には2種類以上の電源電圧で動作する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】図4は、従来から使用されている2種類の電源電圧により動作する半導体装置を示す模式的な断面図であり、図中、10は半導体基板を示している。半導体基板10には、不純物が高濃度で拡散された高濃度不純物拡散領域（以下、高濃度ウェルと記す）32と不純物が低濃度で拡散された低濃度不純物拡散領域（以下、低濃度ウェルと記す）39との二つのウェルが形成されている。そして、高濃度ウェル32側には、高濃度ウェル32上に形成された薄いゲート酸化膜35、薄いゲート酸化膜35の両端部に接続して形成されたフィールド酸化膜33、薄いゲート酸化膜35の上に形成されたゲート電極34及び薄いゲート酸化膜35の下方であって、ゲート電極34の下方を除く領域に形成され、高濃度ウェル32と逆導電型の不純物が高濃度で拡散された高濃度拡散層37から構成された通常耐圧MOSトランジスタ30が形成されている。

【0003】一方低濃度ウェル39側には、低濃度ウェル39上の略中央部に形成された厚いゲート酸化膜36、厚いゲート酸化膜36の左右にフィールド酸化膜33を挟んで活性領域（ソース又はドレイン領域）に形成された薄い酸化膜35'、厚いゲート酸化膜36からフィールド酸化膜33上にかけて形成されたゲート電極34、薄い酸化膜35'の下方に形成された高濃度拡散層37及び高濃度拡散層37の周囲に形成され、高濃度拡散層37と同じ導電型の不純物が低濃度で拡散された高耐圧拡散層38から構成された高耐圧MOSトランジスタ31が形成されており、この高耐圧MOSトランジスタ31は高電源電圧で動作するようになっている。

【0004】前記した2種類の電源電圧で動作するMOSトランジスタ30、31を有する半導体装置を形成する場合、最初に半導体基板10に2種類の異なるマスクを用いて、2段階で高濃度ウェル32と低濃度ウェル39とを形成している。

【0005】

【発明が解決しようとする課題】このように、上記方法により2種類の電源電圧で動作する半導体装置を形成するには、初めに2種類の異なるマスクを用い、異なる領域に2段階にわたり濃度の異なる高濃度ウェル32、低濃度ウェル39を形成しなければならないため、マスクワークの工数が増大するという課題があった。

【0006】一方、このようなマスクワークの工数の増大をさけるために、半導体基板の表面付近に低濃度ウェルのみを形成し、該低濃度ウェル内に通常耐圧MOSトランジスタ及び高耐圧MOSトランジスタの2種類のMOSトランジスタを形成する方法も考えられるが、この場合、通常耐圧MOSトランジスタにおける、チャンネル面積を大きくしなければならないために所定以上の大きさを必要とし、その微細化に限界があるという課題があった。

【0007】本発明はこのような課題に鑑みなされたものであり、マスクワークの工数を増大させることなく、しかも微細化された通常耐圧のMOSトランジスタと高耐圧のMOSトランジスタとを有する半導体装置及びその製造方法を提供することを目的としている。

【0008】

【課題を解決するための手段】上記目的を達成するために本発明に係る半導体装置は、半導体基板表面付近に存在する同一ウェル内に通常耐圧MOSトランジスタと高耐圧MOSトランジスタとが形成された半導体装置において、前記ウェルは高濃度不純物拡散領域であって、前記ウェル中の不純物と逆導電型の不純物が拡散されて前記高耐圧MOSトランジスタの一部を構成する高耐圧拡散層を備え、該高耐圧拡散層の周囲に実効的に不純物濃度の低い層が形成されていることを特徴としている。

【0009】また本発明に係る上記記載の半導体装置の製造方法は、半導体基板に不純物を注入し拡散して高濃度不純物拡散領域（以下、高濃度ウェルという）を形成する工程、及び該高濃度ウェルの所定箇所に前記高濃度ウェル中の不純物と逆導電型の不純物を異なるエネルギーで2度注入し、高耐圧拡散層及びその周囲に実効的に不純物濃度の低い層（以下、不純物低濃度層と記す）を形成する工程を含むことを特徴としている。

【0010】

【作用】上記半導体装置によれば、高耐圧MOSトランジスタを構成する高耐圧拡散層の周囲に局部的にウェルの不純物濃度が実効的に低い層（不純物低濃度層）が形成されており、電圧が印加されると前記不純物低濃度層が空乏層となり、高耐圧MOSトランジスタの耐圧が充

分に高くなるため、同一ウェル内に微細化された通常耐圧MOSトランジスタと高耐圧MOSトランジスタの形成が可能となる。

【0011】また上記記載の半導体装置の製造方法によれば、ウェルを形成するのに1種類のマスクのみを用い、前記不純物低濃度層を形成するための不純物の注入は、前記高耐圧拡散層を形成するために設置したマスクをそのまま用いて行うことができ、マスクワークの工数を増大させることなく、同一ウェル内に微細化された通常耐圧MOSトランジスタと高耐圧MOSトランジスタとが形成される。

【0012】

【実施例】以下、本発明に係る半導体装置及びその製造方法についての実施例を図面に基づいて説明する。なお、従来例と同一機能を有する構成部品には同一の符号を付すこととする。

【0013】図1は実施例に係る半導体装置を模式的に示した断面図であり、図中、10は半導体基板を示している。半導体基板10の表面付近には、高濃度ウェル32のみが形成され、この高濃度ウェル32内に、通常耐圧MOSトランジスタ30及び高耐圧MOSトランジスタ11が形成されている。

【0014】通常耐圧MOSトランジスタ30は、高濃度ウェル32上に形成された薄いゲート酸化膜35、薄いゲート酸化膜35の両端部に接続して形成されたフィールド酸化膜33、薄いゲート酸化膜35の上に形成されたゲート電極34a及び薄いゲート酸化膜35の下方であって、ゲート電極34の下方を除く領域に形成され、高濃度ウェル32と逆導電型の不純物が拡散された高濃度拡散層37から構成されている。

【0015】一方高耐圧MOSトランジスタ11は通常耐圧MOSトランジスタ30と幅の広いフィールド酸化膜33を隔てて、下記の如くに構成されている。すなわち高耐圧MOSトランジスタ11は、高耐圧MOSトランジスタ11の形成領域の略中央部であって、高濃度ウェル32上に形成された厚いゲート酸化膜36、この厚いゲート酸化膜36の左右にフィールド酸化膜33を挟んで活性領域（ソース又はドレイン領域）に形成された薄い酸化膜35'、厚いゲート酸化膜36からフィールド酸化膜33上にかけて形成されたゲート電極34b、薄い酸化膜35'の下方に形成された高濃度拡散層37、この高濃度拡散層37の下側周囲に形成され、高濃度拡散層37と同じ導電型の不純物が低濃度で拡散された高耐圧拡散層12及び高耐圧拡散層12の下側周囲に局部的に形成された実効的に不純物濃度が低い不純物低濃度層13を含んで構成されている。

【0016】このように高耐圧拡散層12の下側周囲に局部的に不純物低濃度層13が存在することにより、耐電圧が上昇し、高耐圧MOSトランジスタとしての機能を十分に果たさせることができる。

【0017】次に、上記構成の実施例に係る半導体装置の製造方法を図面に基づいて説明する。図2(a)～(e)は、実施例に係る半導体装置の製造工程を模式的に示す断面図である。

【0018】まず、比抵抗4～8Ωcmのシリコンからなるn型半導体基板10の表面付近に、B（ボロン）等のp型ドーパントを $8.0 \times 10^{11} \text{ cm}^{-2}$ 程度の密度で注入し、その後約1200℃で加熱処理することにより高温拡散処理を施し、深さが約3.5μm程度のp型高濃度ウェル32を形成し、さらに基板10表面に熱酸化処理を施して薄い熱酸化膜14を形成する（図2(a)）。

【0019】次に、高耐圧拡散層12を形成する領域を除いてフォトリソグラフィによりフォトレジスト15で被覆し、フォトレジスト15で被覆されていない部分に選択的にP（リン）等のn型ドーパントを180keVのエネルギー及び $1.0 \times 10^{13} \text{ cm}^{-2}$ 程度の密度で注入し、高耐圧拡散層12を形成する（図2(b)）。

【0020】さらに図2(c)に示すように、同一のフォトレジスト15を用いて、800keV程度と前工程に比較してさらに高エネルギー及び $3 \times 10^{12} \text{ cm}^{-2}$ 程度の密度で、P等のn型ドーパントを注入し、高耐圧拡散層12の周囲に実効的に不純物濃度が低い層（不純物低濃度層）13を形成する。

【0021】次に、フォトレジスト15を除去した後、半導体基板10に1000℃で選択酸化法によるウェット酸化処理を施し、フィールド酸化膜33を約6000Å程度の厚みに成長させ、その後薄いゲート酸化膜35、薄い酸化膜35'及び厚いゲート酸化膜36を成長させる。前記1000℃での選択酸化における加熱処理は、高耐圧拡散層12や不純物低濃度層13の拡散も兼ねており、この熱処理により高耐圧拡散層12の下側周囲に局部的に不純物低濃度層13が形成される（図2(d)）。

【0022】次に、前記工程で形成された薄いゲート酸化膜35及び厚いゲート酸化膜36の上にゲート電極34a、34bを形成し、このゲート電極34a、34b及びフィールド酸化膜33をマスクにしてAs（ヒ素）等のn型ドーパントを80keV程度のエネルギー及び $5.0 \times 10^{13} \text{ cm}^{-2}$ 程度の密度で注入し、高濃度拡散層37を形成する（図2(e)）。

【0023】上記した工程により2種類の電源電圧で動作する高耐圧MOSトランジスタ11、通常耐圧MOSトランジスタ30を同一の高濃度ウェル32内に形成することができ、しかも通常耐圧MOSトランジスタ30の微細化を図ることが可能になるとともに、高耐圧MOSトランジスタ11の高耐圧性を確保することができる。

【0024】図3は、図1に示した実施例の半導体装置及び図4に示した従来の半導体装置の下記の部位にお

る、半導体基板表面からの深さ方向と不純物濃度との関係を示したグラフである。Aは実施例における高耐圧MOSトランジスタ11の高濃度拡散層37が存在する部分、Bは実施例における通常耐圧MOSトランジスタ30の高濃度拡散層37が存在する部分、Cは前記従来の半導体装置において、高耐圧MOSトランジスタ31の高濃度拡散層37が存在する部分における値をそれぞれ示している。

【0025】Aの高濃度拡散層37より下の高耐圧拡散層12から高濃度ウェル32に至る不純物濃度のプロファイルは、高耐圧拡散層38（図4）の周囲に低濃度ウェル39と逆導電型のイオンを注入していないCの不純物濃度のプロファイルに比べて、不純物濃度が1ケタ以上も低くなっている部分（不純物低濃度層13）が存在し、より高耐圧なMOS型トランジスタ11が形成されていることがわかる。

【0026】実際に、実施例に係る高耐圧MOSトランジスタ11の耐圧を測定したところ、80V以上となり、高耐圧のMOSトランジスタが形成されていることが立証された。

【0027】本発明の半導体装置において、前記半導体基板はn型でもp型でもどちらでもよく、前記高濃度ウェルは前記半導体基板と逆導電型の不純物が拡散されたn型またはp型の半導体である。また前記高濃度ウェルの不純物濃度は、 $5 \times 10^{18} \sim 1 \times 10^{17} \text{ cm}^{-3}$ 程度が好ましく、前記高耐圧拡散層の周囲に形成された不純物低濃度層は $1 \times 10^{15} \sim 5 \times 10^{13} \text{ cm}^{-3}$ 程度と前記高濃度ウェルよりも1～2桁程度低い濃度であることが好ましい。

【0028】また上記記載の半導体装置の製造方法において、前記高濃度ウェルの所定箇所に前記高濃度ウェル中の不純物と逆導電型の不純物を異なるエネルギーで2度注入する際には、1回目が150～180keV程度のエネルギー及び $1 \times 10^{12} \sim 3 \times 10^{12} \text{ cm}^{-2}$ 程度の密度で注入するのが好ましく、2回目は700～900keV程度のエネルギー及び $2 \times 10^{13} \sim 3 \times 10^{13} \text{ cm}^{-2}$ 程度の密度で注入するのが好ましい。

【0029】

【発明の効果】以上詳述したように本発明に係る半導体装置にあっては、半導体基板表面付近に存在する同一ウェル内に通常耐圧MOSトランジスタと高耐圧MOSトランジスタとが形成された半導体装置において、前記ウェルは高濃度不純物拡散領域であって、前記ウェル中の

不純物と逆導電型の不純物が拡散されて前記高耐圧MOSトランジスタの一部を構成する高耐圧拡散層を備え、該高耐圧拡散層の周囲に実効的に不純物濃度の低い層が形成されており、高耐圧MOSトランジスタの耐圧が十分に高くなり、同一ウェル内に微細化された通常耐圧MOSトランジスタと高耐圧MOSトランジスタとが形成された半導体装置を提供することができる。

【0030】また前記記載の半導体の製造方法にあっては、半導体基板に不純物を注入し拡散して高濃度ウェルを形成する工程、及び該高濃度ウェルの所定箇所に前記高濃度ウェル中の不純物と逆導電型の不純物を異なるエネルギーで2度注入し、高耐圧拡散層及びその周囲に不純物低濃度層を形成する工程を含んでおり、マスクワークの工数を増大させることなく、生産性良く、同一ウェル内に微細化された通常耐圧MOSトランジスタと高耐圧MOSトランジスタとを形成することができる。

【図面の簡単な説明】

【図1】実施例に係る本発明の半導体装置を模式的に示す断面図である。

【図2の1】及び

【図2の2】(a)～(e)は、実施例に係る半導体装置の製造工程を模式的に示す断面図である。

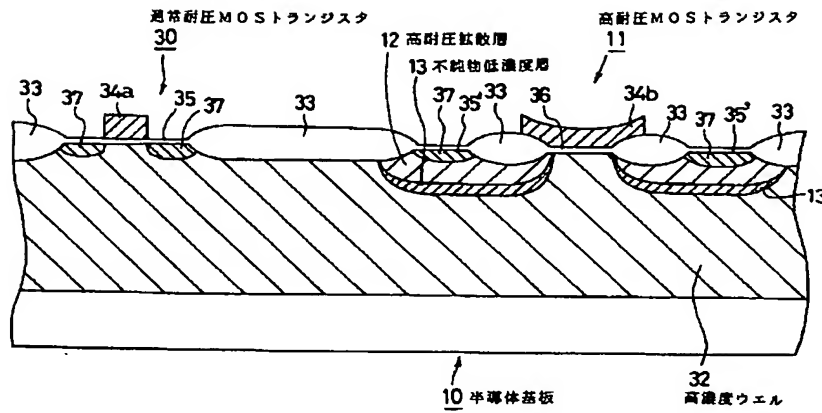
【図3】図1に示した実施例の半導体装置及び図3に示した従来の半導体装置の所定部位における半導体基板表面からの深さ方向に対する不純物濃度を示すグラフである。

【図4】従来の半導体装置を示す模式的な断面図である。

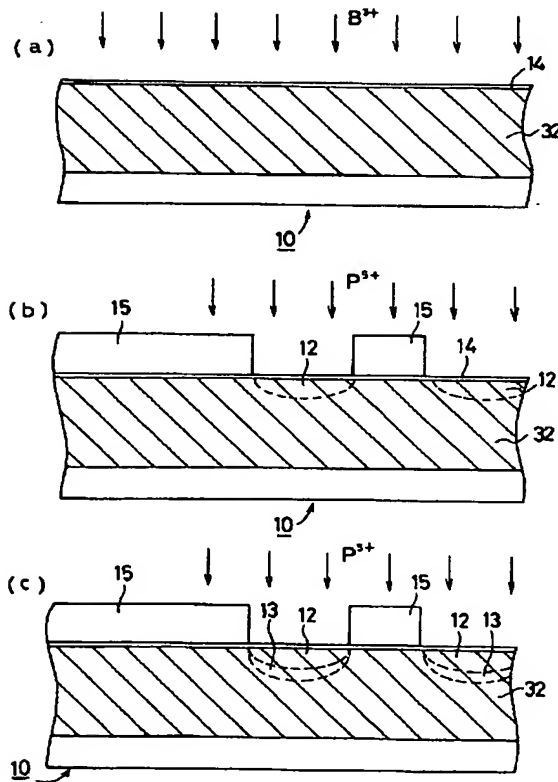
【符号の説明】

- 10 半導体基板
- 11 高耐圧MOSトランジスタ
- 12 高耐圧拡散層
- 13 不純物低濃度層
- 30 通常耐圧MOSトランジスタ
- 32 高濃度ウェル
- 33 フィールド酸化膜
- 34、34a、34b ゲート電極
- 35 ゲート酸化膜
- 35' 薄い酸化膜
- 36 厚いゲート酸化膜
- 37 高濃度拡散層
- 38 高耐圧拡散層
- 39 低濃度ウェル

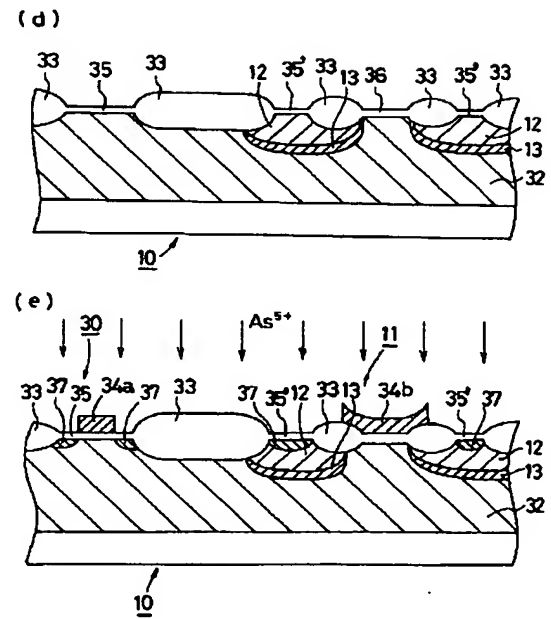
【図1】



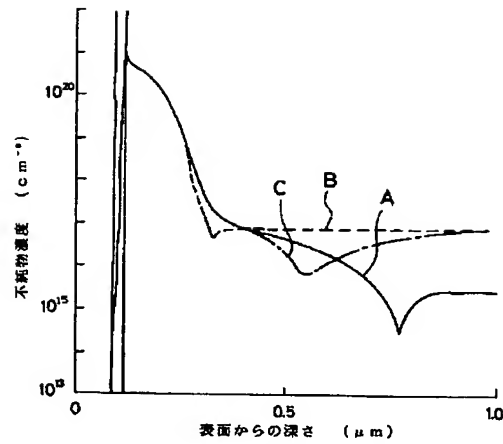
【図2の1】



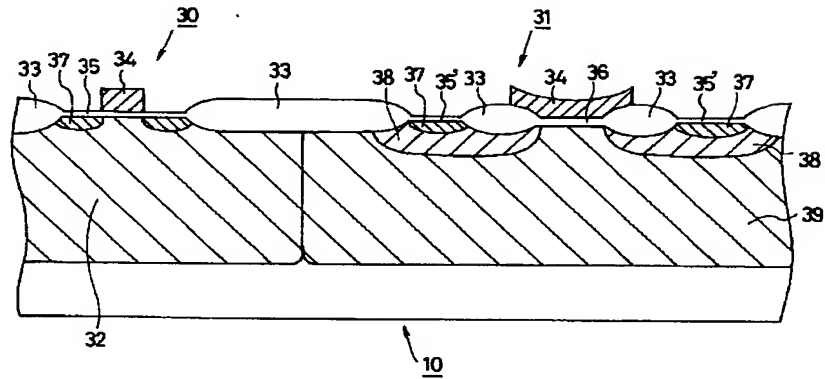
【図2の2】



【図3】



【図4】



フロントページの続き

(51)Int.Cl.⁵

識別記号

片内整理番号

F I

技術表示箇所

8617-4M

H O I L 21/265

Z

9054-4M

29/78

3 0 1 S